



KOREAN PATENT ABSTRACT (KR)
PUBLICATION

RECEIVED
DEC 12 2002
TECHNOLOGY CENTER 2000

(51) IPC Code: G11C29/00

(11) Publication No.: P1999-012411

(43) Publication Date: 25 February 1999

(21) Application No.: 10-1997-035785

(22) Application Date: 29 July 1997

(71) Applicant:

Samsung Electronics Co., Ltd.

416 Maetan 3-dong, Paldal-gu, Suwon-city, Kyunggi-do, Korea

(72) Inventor:

KWAK, JIN SEOK

(54) Title of the Invention:

Semiconductor Memory Device Having Simple Merged Data Test Circuits

Abstract:

Provided is a semiconductor memory device including a plurality of groups of local input/output lines, a plurality of groups of global input/output lines, a plurality of memory blocks, and a plurality of merged data test circuits. The plurality of groups of local input/output lines are composed of a plurality of local input/output lines and parallel to one another. The plurality of groups of global input/output lines cross the plurality of groups of local input/output lines, and are composed of a plurality of global input/output lines and parallel to one another. The plurality of memory blocks are arranged among the plurality of groups of local input/output lines and electrically connected to the local input/output lines, and store data. Switches are located in predetermined positions where the plurality of groups of local input/output lines cross the plurality of groups of global input/output lines and electrically connect the local input/output lines and the global input/output lines in response to an activated memory enable signal when the memory blocks are activated. The merged data test circuits connect input ports to the global input/output lines electrically connected to two corresponding memory blocks of the plurality of the memory blocks. Thus, when the memory blocks are all normal, each of the merged data test circuits outputs data '1'. However, when any one of the memory blocks is defective, the merged data test circuit electrically connected to the defective memory block outputs data '0'.

(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(51) Int. Cl.⁶ (11) 공개번호 특1999-012411
G11C 29/00 (43) 공개일자 1999년02월25일

(21) 출원번호 특1997-035785
(22) 출원일자 1997년07월29일
(71) 출원인 삼성전자 주식회사 윤중용
경기도 수원시 팔달구 매탄동 416번지
(72) 발명자 박진석
경기도 수원시 팔달구 매탄동 908 주공아파트 411-501호
(74) 대리인 이영필, 권석홍, 정상빈

심사청구 : 있음

(54) 복합 데이터 테스트가 간단한 반도체 메모리장치

요약

다수개의 국부 입출력 라인 그룹들과 다수개의 글로벌 입출력 라인 그룹들과 다수개의 메모리 블록들 및 다수개의 복합 데이터 테스트 회로들을 구비하는 반도체 메모리 장치가 개시된다. 상기 다수개의 국부 입출력 라인 그룹들은 복수개의 국부 입출력 라인들로 구성하며 서로 평행하게 배열하고, 다수개의 글로벌 입출력 라인 그룹들은 상기 국부 입출력 라인 그룹들과 교차하고/복수개의 글로벌 입출력 라인들로 구성하며 서로 평행하게 배열하며, 다수개의 메모리 블록들은 상기 국부 입출력 라인 그룹들 사이 사이에 배열하고 상기 국부 입출력 라인들에 전기적으로 연결되며 데이터를 저장하고, 스위치들은 상기 국부 입출력 라인 그룹들과 상기 글로벌 입출력 라인 그룹들이 교차하는 소정의 지점에 위치하고 상기 메모리 블록들이 활성화될 때 액티브되는 메모리 활성화 신호에 응답하여 상기 국부 입출력 라인들과 상기 글로벌 입출력 라인들을 전기적으로 연결하며, 복합 데이터 테스트 회로들은 상기 다수개의 메모리 블록들 중 대응되는 2개의 메모리 블록들에 전기적으로 연결되는 글로벌 입출력 라인들에 각각의 입력단들을 연결함으로써/상기 메모리 블록들이 모두 정상일 때 각각의 복합 데이터 테스트 회로들은 '1'을 출력하고, 상기 메모리 블록들 중 어느 하나라도 불량이면 상기 불량인 메모리 블록에 전기적으로 연결된 복합 데이터 테스트 회로는 '0'을 출력한다.

도표도

도3

명세서

도면의 간단한 설명

- 도 1은 종래의 반도체 메모리 장치의 데이터 버스 라인들 및 메모리 블록들의 배치도.
도 2는 상기 도 1에 도시된 메모리 블록의 기능을 테스트하기 위한 복합 데이터(Merged DQ) 테스트 회로의 회로도.
도 3은 본 발명의 바람직한 실시예에 따른 반도체 메모리 장치의 데이터 버스 라인들 및 메모리 블록들의 배치도.
도 4는 상기 도 3에 도시된 메모리 블록의 기능을 테스트하기 위한 복합 데이터(Merged DQ) 테스트 회로의 회로도.
도 5는 상기 도 3에 도시된 노드(N1)를 구체적으로 도시한 도면.
도 6은 상기 도 3에 도시된 노드(N2)를 구체적으로 도시한 도면.
도 7은 상기 도 3에 도시된 노드(N11)를 구체적으로 도시한 도면.
도 8은 상기 도 3에 도시된 노드(N12)를 구체적으로 도시한 도면.

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 반도체 메모리 장치에 관한 것으로서, 특히 복합 데이터 테스트에 관한 것이다.
데이터 버스 라인들을 통해서 반도체 메모리 장치의 메모리 셀 어레이에 저장된 데이터가 반도체 메모리

장치의 패드로 전달되거나 또는 패드로 입력된 데이터가 메모리 셀 어레이로 전달된다. 데이터 버스 라인으로는 국부 입출력 라인과 글로벌 입출력 라인이 있다. 메모리 셀 어레이로부터 출력되는 데이터는 상기 국부 입출력 라인을 통해서 글로벌 입출력 라인으로 전달되고, 글로벌 입출력 라인을 통해서 패드로 전달된다. 상기 글로벌 입출력 라인을 통해서 전달되는 데이터를 복합(merge)하여 상기 메모리 셀 어레이의 기능을 테스트하는 회로가 복합 데이터 테스트 회로이다.

도 1은 종래의 반도체 메모리 장치의 데이터 버스 라인들 및 메모리 블록들의 배치도이다. 도 1을 참조하면, 반도체 메모리 장치(101)는 제1 내지 제8 메모리 블록들(111~118), 제1 내지 제18 국부 입출력 라인들(121~138) 및 제1 내지 제16 글로벌 입출력 라인들(141~156)을 구비한다.

상기 제1 내지 제8 메모리 블록들(111~118)은 각각 다수개의 메모리 셀 어레이들(175)과 다수개의 서브 워드라인 드라이버들(171)로 구성된다. 상기 메모리 셀 어레이들(175)과 서브 워드라인 드라이버들(171)은 하나의 메모리 블록 내에서 서로 교차하면서 배치된다. 상기 서브 워드라인 드라이버들(171) 위로 상기 글로벌 입출력 라인들(141~156)이 배열된다.

상기 메모리 블록들(111~118)은 각각 상기 제1 내지 제18 국부 입출력 라인들(121~138)에 연결되고, 상기 제1 내지 제18 국부 입출력 라인들(121~138)은 각각 상기 제1 내지 제16 글로벌 입출력 라인들(141~156)에 연결된다.

도 2는 상기 도 1에 도시된 메모리 블록들(111~118)의 기능을 테스트하기 위한 복합 데이터(Merged 00) 테스트 회로들의 회로도이다. 도 2를 참조하면, 복합 데이터 테스트 회로들(211, 221, 231, 241, 251, 261, 271, 281)은 각각 제1 내지 제8 패드들(219, 229, 239, 249, 259, 269, 279, 289)을 구비한다. 상기 복합 데이터 테스트 회로(211)의 입력단은 제1 내지 제4 글로벌 입출력 라인들(141~144)에 연결된다. 상기 복합 데이터 테스트 회로(221)의 입력단은 제3 내지 제6 글로벌 입출력 라인들(143~146)에 연결된다. 상기 복합 데이터 테스트 회로(231)의 입력단은 제5 내지 제8 글로벌 입출력 라인들(145~148)에 연결된다. 상기 복합 데이터 테스트 회로(241)의 입력단은 제7 내지 제10 글로벌 입출력 라인들(147~150)에 연결된다. 상기 복합 데이터 테스트 회로(251)의 입력단은 제9 내지 제12 글로벌 입출력 라인들(149~152)에 연결된다. 상기 복합 데이터 테스트 회로(261)의 입력단은 제11 내지 제14 글로벌 입출력 라인들(151~154)에 연결된다. 상기 복합 데이터 테스트 회로(271)의 입력단은 제13 내지 제16 글로벌 입출력 라인들(153~156)에 연결된다. 상기 복합 데이터 테스트 회로(281)의 입력단은 제15 및 제16 글로벌 입출력 라인들(156, 157)과 제1 및 제2 입출력 라인들(141, 142)에 연결된다.

상기 제1 내지 제8 복합 데이터 테스트 회로들(211~218)은 각각 하나의 노아 게이트(NOR Gate)(213), 하나의 앤드 게이트(AND Gate)(215) 및 하나의 오아 게이트(OR Gate)(217)로 구성된다.

제1 메모리 블록(111)을 테스트하기 위해서는 먼저, 제1 메모리 블록(111)의 메모리 셀 어레이들(175)에 '0' 또는 '1'을 기입한다. 만일 제1 메모리 블록(111)의 메모리 셀 어레이들(175)에 '0'이 저장되어있다면, 상기 노아 게이트(213)는 '1'을 출력하고 상기 앤드 게이트(215)는 '0'을 출력한다. 그로 인하여 상기 오아 게이트(217)는 '1'을 출력한다. 상기 오아 게이트(217)가 '1'을 출력하면 상기 제1 메모리 블록(111)은 정상이다.

만일 상기 제1 메모리 블록(111)의 메모리 셀 어레이들(175) 중 일부가 불량이라면 상기 제1 내지 제4 글로벌 입출력 라인들(141~144)을 통해 전달되는 데이터 중 일부는 '1'이다. 그러면, 상기 노아 게이트(213)의 출력은 '0'이 되고 상기 앤드 게이트(215)의 출력은 그대로 '0'이 된다. 따라서 상기 오아 게이트(217)의 출력은 '0'이 된다. 상기 오아 게이트(217)가 '0'을 출력하면 상기 제1 메모리 블록(111)은 불량이다.

제2 내지 제8 메모리 블록들(112~118)을 테스트하는 동작은 상기 제1 메모리 블록(111)과 동일하다.

상기 복합 데이터 테스트 회로들(211, 221, 231, 241, 251, 261, 271, 281)의 수를 감소시킨다면, 상기 반도체 메모리 장치(101)의 크기가 축소되고 전력 소모도 감소될 수가 있다.

발명이 이루고자하는 기술적 과제

따라서 본 발명이 이루고자하는 기술적 과제는 메모리 블록들을 테스트하는 복합 데이터 테스트 회로를 간단하게 할 수 있는 반도체 메모리 장치를 제공하는데 있다.

발명의 구성 및 작용

상기 기술적 과제를 이루기 위하여 본 발명은, 다수개의 국부 입출력 라인 그룹들과 다수개의 글로벌 입출력 라인 그룹들과 다수개의 메모리 블록들 및 다수개의 스위치들을 구비하는 반도체 메모리 장치를 제공한다.

상기 다수개의 국부 입출력 라인 그룹들은 복수개의 국부 입출력 라인들로 구성하며 서로 평행하게 배열한다.

상기 다수개의 글로벌 입출력 라인 그룹들은 상기 국부 입출력 라인 그룹들과 교차하고 복수개의 글로벌 입출력 라인들로 구성하며 서로 평행하게 배열한다.

다수개의 메모리 블록들은 상기 국부 입출력 라인 그룹들 사이 사이에 배열하고 상기 국부 입출력 라인들에 전기적으로 연결되어 데이터를 저장한다.

상기 스위치들은 상기 국부 입출력 라인 그룹들과 상기 글로벌 입출력 라인 그룹들이 교차하는 소정의 지점에 위치하고 상기 메모리 블록들이 활성화될 때 액티브되는 메모리 활성화 신호에 응답하여 상기 국부 입출력 라인들과 상기 글로벌 입출력 라인들을 전기적으로 연결한다.

상기 기술적 과제를 이루기 위하여 본 발명은 또한, 다수개의 국부 입출력 라인 그룹들과 다수개의 글로벌 입출력 라인 그룹들과 다수개의 메모리 블록들과 다수개의 스위치들 및 다수개의 복합 데이터 테스트 회로들을 구비하는 반도체 메모리 장치를 제공한다.

상기 다수개의 국부 입출력 라인 그룹들은 복수개의 국부 입출력 라인들로 구성하 서로 평행하게 배열한다.

상기 다수개의 글로벌 입출력 라인 그룹들은 상기 국부 입출력 라인 그룹들과 교차하고 복수개의 글로벌 입출력 라인들로 구성하여 서로 평행하게 배열한다.

상기 다수개의 메모리 블록들은 상기 국부 입출력 라인 그룹들 사이 사이에 배열하고 상기 국부 입출력 라인들과 전기적으로 연결하며 데이터를 저장한다.

상기 다수개의 스위치들은 상기 국부 입출력 라인 그룹들과 상기 글로벌 입출력 라인 그룹들이 교차하는 소정의 지점에 위치하고 상기 메모리 블록들이 활성화될 때 액티브되는 메모리 활성화 신호에 응답하여 상기 국부 입출력 라인들과 상기 글로벌 입출력 라인들을 전기적으로 연결한다.

상기 다수개의 복합 데이터 테스트 회로들은 상기 다수개의 메모리 블록들 중 대응되는 2개의 메모리 블록들에 전기적으로 연결되는 글로벌 입출력 라인들에 각각의 입력단들을 연결한다.

상기 메모리 블록들이 모두 정상일 때 각각의 복합 데이터 테스트 회로들은 '1'을 출력하고, 상기 메모리 블록들 중 어느 하나라도 불량이면 상기 불량인 메모리 블록에 전기적으로 연결된 복합 데이터 테스트 회로는 '0'을 출력하는 것을 특징으로하는 반도체 메모리 장치.

상기 본 발명에 의하여 반도체 장치의 크기가 축소되며 전력 소모도 감소된다.

이하, 첨부 도면들을 통하여 본 발명의 바람직한 실시예를 상세히 설명하기로 한다.

도 3은 본 발명의 바람직한 실시예에 따른 반도체 메모리 장치의 데이터 버스 라인과 메모리 블록들의 배치도이다. 도 3을 참조하면, 본 발명의 바람직한 실시예에 따른 반도체 메모리 장치(301)는 제1 내지 제8 메모리 블록들(311~318), 제1 내지 제18 국부 입출력 라인들(321~338) 및 제1 내지 제16 글로벌 입출력 라인들(341~358)을 구비한다.

상기 국부 입출력 라인들(321~338)은 그룹별로 배열된다. 하나의 국부 입출력 라인 그룹은 순차적인 두 개의 국부 입출력 라인들로 구성된다. 예컨대, 제1 및 제2 국부 입출력 라인들(321,322)이 하나의 그룹을 형성하고, 제3 및 제4 국부 입출력 라인들(323,324)이 다른 하나의 그룹을 형성한다.

상기 글로벌 입출력 라인들(341~358)도 그룹별로 배열된다. 하나의 글로벌 입출력 라인 그룹은 순차적인 두 개의 글로벌 입출력 라인들로 구성된다. 예컨대, 제1 내지 제4 국부 입출력 라인들(341~344)이 하나의 그룹을 형성하고, 제5 및 제8 국부 입출력 라인들(345~348)이 다른 하나의 그룹을 형성한다.

상기 제1 내지 제8 메모리 블록들(311~318)은 각각 다수개의 메모리 셀 어레이들(375)과 다수개의 서브 워드라인 드라이버들(371)로 구성된다. 상기 메모리 셀 어레이들(375)과 서브 워드라인 드라이버들(371)은 하나의 메모리 블록 내에서 서로 교차하면서 배치된다. 상기 서브 워드라인 드라이버들(371) 위로 상기 글로벌 입출력 라인들(341~358)이 지나간다.

상기 제1 메모리 블록(311)과 상기 제2 메모리 블록(312)은 각각 상기 제1 내지 제4 글로벌 입출력 라인들(341~344)에 전기적으로 연결되며 상기 제1 및 제2 메모리 블록들(311,312)에 저장되어있는 데이터가 상기 제1 내지 제4 글로벌 입출력 라인들(341~344)로 전달된다.

상기 제3 및 제4 메모리 블록들(313,314)은 상기 제5 내지 제8 글로벌 입출력 라인들(345~348)에 전기적으로 연결되며 상기 제3 및 제4 메모리 블록들(313,314)에 저장되어있는 데이터가 상기 제5 내지 제8 글로벌 입출력 라인들(345~348)로 전달된다.

상기 제5 및 제6 메모리 블록들(315,316)은 상기 제9 내지 제12 글로벌 입출력 라인들(349~352)에 전기적으로 연결되며 상기 제5 및 제6 메모리 블록들(315,316)에 저장되어있는 데이터가 상기 제9 내지 제12 글로벌 입출력 라인들(349~352)로 전달된다.

상기 제7 및 제8 메모리 블록들(317,318)은 상기 제13 내지 제16 글로벌 입출력 라인들(353~356)에 전기적으로 연결되며 상기 제7 및 제8 메모리 블록들(317,318)에 저장되어있는 데이터가 상기 제13 내지 제16 글로벌 입출력 라인들(353~356)로 전달된다.

상기 제1 및 제2 국부 입출력 라인들(321,322)은 노드(N1)를 통해서 상기 제1 및 제2 글로벌 입출력 라인들(341,342)에 전기적으로 연결된다.

상기 제3 및 제4 국부 입출력 라인들(323,324)은 노드들(N2,N11)을 통해서 상기 제1 내지 제4 글로벌 입출력 라인들(341~344)에 전기적으로 연결된다.

상기 제5 및 제6 국부 입출력 라인들(325,326)은 노드들(N3,N12)을 통해서 상기 제3 내지 제6 글로벌 입출력 라인들(343~346)에 전기적으로 연결된다.

상기 제7 및 제8 국부 입출력 라인들(327,328)은 노드들(N4,N13)을 통해서 상기 제5 내지 제8 글로벌 입출력 라인들(345~348)에 전기적으로 연결된다.

상기 제9 및 제10 국부 입출력 라인들(329,330)은 노드들(N5,N14)을 통해서 상기 제7 내지 제10 글로벌 입출력 라인들(347~350)에 전기적으로 연결된다.

상기 제11 및 제12 국부 입출력 라인들(331,332)은 노드들(N6,N15)을 통해서 상기 제9 내지 제12 글로벌 입출력 라인들(349~352)에 전기적으로 연결된다.

상기 제13 및 제14 국부 입출력 라인들(333,334)은 노드들(N7,N16)을 통해서 상기 제11 내지 제14 글로벌

별 입출력 라인들(351~354)에 전기적으로 연결된다.

상기 제15 및 제16 국부 입출력 라인들(335, 336)은 노드들(N8, N17)을 통해서 상기 제11 내지 제14 글로벌 입출력 라인들(351~354)에 전기적으로 연결된다.

상기 제17 및 제18 국부 입출력 라인들(337, 338)은 노드(N18)를 통해서 상기 제15 및 제16 글로벌 입출력 라인들(355~356)에 전기적으로 연결된다.

상술한 바와 같이, 대응되는 메모리 블록들은 서로 동일한 국부 글로벌 입출력 라인들에 연결된다. 즉, 제1 메모리 블록(311)과 제2 메모리 블록(312)은 각각 제1 내지 제4 글로벌 입출력 라인들(341~344)에 전기적으로 연결되고, 제3 메모리 블록(313)과 제4 메모리 블록(314)은 각각 제5 내지 제8 글로벌 입출력 라인들(345~348)에 전기적으로 연결되며, 제5 메모리 블록(315)과 제6 메모리 블록(316)은 각각 제9 내지 제12 글로벌 입출력 라인들(349~352)에 전기적으로 연결되고, 제7 메모리 블록(317)과 제8 메모리 블록(318)은 각각 제13 내지 제16 글로벌 입출력 라인들(353~356)에 전기적으로 연결된다.

상기 노드들(N1~N8, N11~N18)은 스위치로 구성된다.

도 4는 상기 도 3에 도시된 메모리 블록들(311~318)의 기능을 테스트하기 위한 복합 데이터 테스트 회로들의 회로도이다. 도 4를 참조하면, 복합 데이터 테스트 회로들(411, 421, 431, 441)은 출력단들에 각각 제1 내지 제4 패드들(419, 429, 439, 449)을 구비한다.

상기 복합 데이터 테스트 회로(411)의 입력단은 제1 내지 제4 글로벌 입출력 라인들(341~344)에 연결된다. 상기 복합 데이터 테스트 회로(421)의 입력단은 제5 내지 제8 글로벌 입출력 라인들(345~348)에 연결된다. 상기 복합 데이터 테스트 회로(431)의 입력단은 제9 내지 제12 글로벌 입출력 라인들(349~352)에 연결된다. 상기 복합 데이터 테스트 회로(441)의 입력단은 제13 내지 제16 글로벌 입출력 라인들(353~356)에 연결된다.

상기 복합 데이터 테스트 회로들(411, 421, 431, 441)은 각각 하나의 노아 게이트(413), 하나의 앤드 게이트(415) 및 하나의 오아 게이트(417)로 구성된다.

제1 메모리 블록(311)을 테스트하기 위해서는 먼저, 제1 메모리 블록(311)의 메모리 셀 어레이들(175)에 '0' 또는 '1'을 기입한다. 만일 제1 메모리 블록(311)의 메모리 셀 어레이들(175)에 '0'이 저장되어있다면, 상기 노아 게이트(413)는 '1'을 출력하고 상기 앤드 게이트(415)는 '0'을 출력한다. 그로 인하여 상기 오아 게이트(417)는 '1'을 출력한다. 상기 오아 게이트(417)가 '1'을 출력하면 상기 제1 메모리 블록(311)은 정상이다.

만일 상기 제1 메모리 블록(311)의 메모리 셀 어레이들(175) 중 일부가 불량이라면 상기 제1 내지 제4 글로벌 입출력 라인들(341~344)을 통해 전달되는 데이터 중 일부는 '1'이다. 그러면, 상기 노아 게이트(413)의 출력은 '0'이 되고 상기 앤드 게이트(415)의 출력은 그대로 '0'이 된다. 따라서 상기 오아 게이트(417)의 출력은 '0'이 된다. 상기 오아 게이트(417)가 '0'을 출력하면 상기 제1 메모리 블록(311)은 불량이다.

상기 제2 내지 제8 메모리 블록들(312~318)을 테스트하는 동작은 상기 제1 메모리 블록(311)을 테스트하는 동작과 동일하므로 중복 설명을 생략하기로 한다.

도 5는 상기 도 3에 도시된 노드(N1)를 구체적으로 도시한 도면이다. 도 5를 참조하면, 제1 국부 입출력 라인(321)과 제1 글로벌 입출력 라인(341) 사이에 제1 스위치(511)가 연결되고, 제2 국부 입출력 라인(322)과 제2 글로벌 입출력 라인(342) 사이에 제2 스위치(521)가 연결된다.

상기 제1 스위치(511)는 상기 제1 국부 입출력 라인(321)에 제1 전극이 연결되고 상기 제1 글로벌 입출력 라인(341)에 제2 전극이 연결되며 제1 제어 신호(P1)를 게이트 입력으로 하는 NMOS 트랜지스터로 구성된다. 따라서 상기 제1 제어 신호(P1)가 논리 하이(high)로 액티브(active)되면 상기 제1 스위치(511)는 턴온(turn-on)되고 상기 제1 제어 신호(P1)가 논리 로우(low)로 인액티브(inactive)되면 상기 제1 스위치(511)는 턴오프(turn-off)된다.

상기 제2 스위치(521)는 상기 제2 국부 입출력 라인(322)에 제1 전극이 연결되고 상기 제2 글로벌 입출력 라인(342)에 제2 전극이 연결되며 상기 제1 제어 신호(P1)를 게이트 입력으로 하는 NMOS 트랜지스터로 구성된다. 따라서 상기 제1 제어 신호(P1)가 논리 하이로 액티브되면 상기 제2 스위치(521)는 턴온되고 상기 제1 제어 신호(P1)가 논리 로우로 인액티브되면 상기 제2 스위치(521)는 턴오프된다.

상기 제1 제어 신호(P1)는 상기 도 3에 도시된 제1 메모리 블록(311)이 활성화되면 논리 하이로 액티브되는 신호이다.

도 6은 상기 도 3에 도시된 노드(N2)를 구체적으로 도시한 도면이다. 도 6을 참조하면, 제3 국부 입출력 라인(323)과 제3 글로벌 입출력 라인(342) 사이에 제3 스위치(611)가 연결되고, 제4 국부 입출력 라인(324)과 제4 글로벌 입출력 라인(344) 사이에 제4 스위치(621)가 연결된다.

상기 제3 스위치(611)는 상기 제3 국부 입출력 라인(323)에 제1 전극이 연결되고 상기 제3 글로벌 입출력 라인(343)에 제2 전극이 연결되며 상기 도 5에 도시된 제1 제어 신호(P1)를 게이트 입력으로 하는 NMOS 트랜지스터로 구성된다. 따라서 상기 제1 제어 신호(P1)가 논리 하이로 액티브되면 상기 제3 스위치(611)는 턴온되고 상기 제1 제어 신호(P1)가 논리 로우로 인액티브되면 상기 제3 스위치(611)는 턴오프된다.

상기 제4 스위치(621)는 상기 제4 국부 입출력 라인(324)에 제1 전극이 연결되고 상기 제4 글로벌 입출력 라인(344)에 제2 전극이 연결되며 상기 제1 제어 신호(P1)를 게이트 입력으로 하는 NMOS 트랜지스터로 구성된다. 따라서 상기 제1 제어 신호(P1)가 논리 하이로 액티브되면 상기 제4 스위치(621)는 턴온되고 상기 제1 제어 신호(P1)가 논리 로우로 인액티브되면 상기 제4 스위치(621)는 턴오프된다.

도 7은 상기 도 3에 도시된 노드(N11)를 구체적으로 도시한 도면이다. 도 7을 참조하면, 제3 국부 입출

력 라인(323)과 제1 글로벌 입출력 라인(341) 사이에 제5 스위치(711)가 연결되고, 제4 국부 입출력 라인(324)과 제2 글로벌 입출력 라인(342) 사이에 제6 스위치(721)가 연결된다.

상기 제5 스위치(711)는 상기 제3 국부 입출력 라인(323)에 제1 전극이 연결되고 상기 제1 글로벌 입출력 라인(341)에 제2 전극이 연결되며 제2 제어 신호(P2)를 게이트 입력으로하는 NMOS 트랜지스터로 구성된다. 따라서 상기 제2 제어 신호(P2)가 논리 하이로 액티브되면 상기 제5 스위치(711)는 턴온되고 상기 제2 제어 신호(P2)가 논리 로우로 인액티브되면 상기 제5 스위치(711)는 턴오프된다.

상기 제6 스위치(721)는 상기 제4 국부 입출력 라인(324)에 제1 전극이 연결되고 상기 제2 글로벌 입출력 라인(342)에 제2 전극이 연결되며 상기 제2 제어 신호(P2)를 게이트 입력으로하는 NMOS 트랜지스터로 구성된다. 따라서 상기 제2 제어 신호(P2)가 논리 하이로 액티브되면 상기 제6 스위치(721)는 턴온되고 상기 제2 제어 신호(P2)가 논리 로우로 인액티브되면 상기 제6 스위치(721)는 턴오프된다.

상기 제2 제어 신호(P2)는 상기 제2 메모리 블록(312)이 활성화되면 논리 하이로 액티브되는 신호이다.

도 8은 상기 도 3에 도시된 노드(N12)를 구체적으로 도시한 도면이다. 도 8을 참조하면, 제5 국부 입출력 라인(325)과 제3 글로벌 입출력 라인(343) 사이에 제7 스위치(811)가 연결되고, 제6 국부 입출력 라인(326)과 제4 글로벌 입출력 라인(344) 사이에 제8 스위치(821)가 연결된다.

상기 제7 스위치(811)는 상기 제5 국부 입출력 라인(325)에 제1 전극이 연결되고 상기 제3 글로벌 입출력 라인(343)에 제2 전극이 연결되며 상기 도 7에 도시된 제2 제어 신호(P2)를 게이트 입력으로하는 NMOS 트랜지스터로 구성된다. 따라서 상기 제2 제어 신호(P2)가 논리 하이로 액티브되면 상기 제7 스위치(811)는 턴온되고 상기 제2 제어 신호(P2)가 논리 로우로 인액티브되면 상기 제7 스위치(811)는 턴오프된다.

상기 제8 스위치(821)는 상기 제6 국부 입출력 라인(326)에 제1 전극이 연결되고 상기 제4 글로벌 입출력 라인(344)에 제2 전극이 연결되며 상기 제2 제어 신호(P2)를 게이트 입력으로하는 NMOS 트랜지스터로 구성된다. 따라서 상기 제2 제어 신호(P2)가 논리 하이로 액티브되면 상기 제8 스위치(821)는 턴온되고 상기 제2 제어 신호(P2)가 논리 로우로 인액티브되면 상기 제8 스위치(821)는 턴오프된다.

노드들(N3~N8, N13~N18)의 구성 및 동작은 상기 도 5 내지 도 8에 도시된 노드들(N1, N2, N11, N12)과 동일하므로 중복 설명은 생략하기로 한다.

본 발명은 상기 실시예에 한정되지 않으며, 많은 변형이 본 발명의 기술적 사상 내에서 당 분야에서 통상의 지식을 가진 자에 의하여 가능함은 명백하다.

발명의 효과

상술한 바와 같이 본 발명에 따르면, 메모리 블록들(311~318)을 테스트하는 복합 데이터 테스트 회로들(411, 421, 431, 441)이 간단하므로 반도체 메모리 장치(301)의 크기가 축소되고 전력 소모가 감소된다.

(57) 청구의 범위

청구항 1. 복수개의 국부 입출력 라인들로 구성하며 서로 평행하게 배열한 다수개의 국부 입출력 라인 그룹들;

상기 국부 입출력 라인 그룹들과 교차하고 복수개의 글로벌 입출력 라인들로 구성하며 서로 평행하게 배열한 다수개의 글로벌 입출력 라인 그룹들;

상기 국부 입출력 라인 그룹들 사이 사이에 배열하고 상기 국부 입출력 라인들에 전기적으로 연결되며 데이터를 저장하는 다수개의 메모리 블록들; 및

상기 국부 입출력 라인 그룹들과 상기 글로벌 입출력 라인 그룹들이 교차하는 소정의 지점에 상기 메모리 블록들이 활성화될 때 액티브되는 메모리 활성화 신호에 응답하여 상기 국부 입출력 라인들과 상기 글로벌 입출력 라인들을 전기적으로 연결시키는 스위치들을 구비하는 것을 특징으로하는 반도체 메모리 장치.

청구항 2. 제 1 항에 있어서, 상기 복수개의 국부 입출력 라인들은 2개의 국부 입출력 라인들인 것을 특징으로하는 반도체 메모리 장치.

청구항 3. 제 1 항에 있어서, 상기 복수개의 글로벌 입출력 라인들은 4개의 글로벌 입출력 라인들인 것을 특징으로하는 반도체 메모리 장치.

청구항 4. 제 1 항에 있어서, 상기 메모리 블록들은 메모리 셀 어레이들과 서브 워드라인 드라이버들을 구비하고, 상기 서브 워드라인 드라이버들 위로 상기 글로벌 입출력 라인들이 배열되는 것을 특징으로하는 반도체 메모리 장치.

청구항 5. 제 1 항에 있어서, 상기 스위치들은 각각 상기 메모리 활성화 신호가 논리 하이일 때 턴온되는 NMOS 트랜지스터들로 구성하는 것을 특징으로하는 반도체 메모리 장치.

청구항 6. 복수개의 국부 입출력 라인들로 구성하 서로 평행하게 배열한 다수개의 국부 입출력 라인 그룹들;

상기 국부 입출력 라인 그룹들과 교차하고 복수개의 글로벌 입출력 라인들로 구성하며 서로 평행하게 배열한 다수개의 글로벌 입출력 라인 그룹들;

상기 국부 입출력 라인 그룹들 사이 사이에 배열하고 상기 국부 입출력 라인들에 전기적으로 연결되며 데이터를 저장하는 다수개의 메모리 블록들;

상기 국부 입출력 라인 그룹들과 상기 글로벌 입출력 라인 그룹들이 교차하는 소정의 지점에 위치하고 상기 메모리 블록들이 활성화될 때 액티브되는 메모리 활성화 신호에 응답하여 상기 국부 입출력 라인들과 상기 글로벌 입출력 라인들을 전기적으로 연결하는 다수개의 스위치들; 및

상기 다수개의 메모리 블록들 중 대응되는 2개의 메모리 블록들에 전기적으로 연결되는 글로벌 입출력 라인들에 각각의 입력단들을 연결한 다수개의 복합 데이터 테스트 회로들을 구비하고,

상기 메모리 블록들이 모두 정상일 때 각각의 복합 데이터 테스트 회로들은 '1'을 출력하고, 상기 메모리 블록들 중 어느 하나라도 불량이면 상기 불량인 메모리 블록에 전기적으로 연결된 복합 데이터 테스트 회로는 '0'을 출력하는 것을 특징으로하는 반도체 메모리 장치.

청구항 7. 제 6 항에 있어서, 상기 복수개의 국부 입출력 라인들은 2개의 국부 입출력 라인들인 것을 특징으로하는 반도체 메모리 장치.

청구항 8. 제 6 항에 있어서, 상기 복수개의 글로벌 입출력 라인들은 4개의 글로벌 입출력 라인들인 것을 특징으로하는 반도체 메모리 장치.

청구항 9. 제 6 항에 있어서, 상기 메모리 블록들은 메모리 셀 어레이들과 서브 워드라인 드라이버들을 구비하고, 상기 서브 워드라인 드라이버들 위로 상기 글로벌 입출력 라인들이 배열되는 것을 특징으로하는 반도체 메모리 장치.

청구항 10. 제 6 항에 있어서, 상기 스위치들은 각각 상기 메모리 활성화 신호가 논리 하이일 때 턴 온되는 NMOS 트랜지스터들로 구성하는 것을 특징으로하는 반도체 메모리 장치.

청구항 11. 제 6 항에 있어서, 상기 복합 데이터 테스트 회로들의 각 출력단들에 연결된 다수개의 패드들을 구비하는 것을 특징으로하는 반도체 메모리 장치.

청구항 12. 제 6 항에 있어서, 상기 복합 데이터 테스트 회로들은 각각

상기 글로벌 입출력 라인들에 입력단이 연결된 노아 게이트;

상기 글로벌 입출력 라인들에 입력단이 연결된 앤드 게이트; 및

상기 노아 게이트와 상기 앤드 게이트의 출력을 입력으로하는 오아 게이트를 구비하는 것을 특징으로하는 반도체 메모리 장치.

도면

도면1

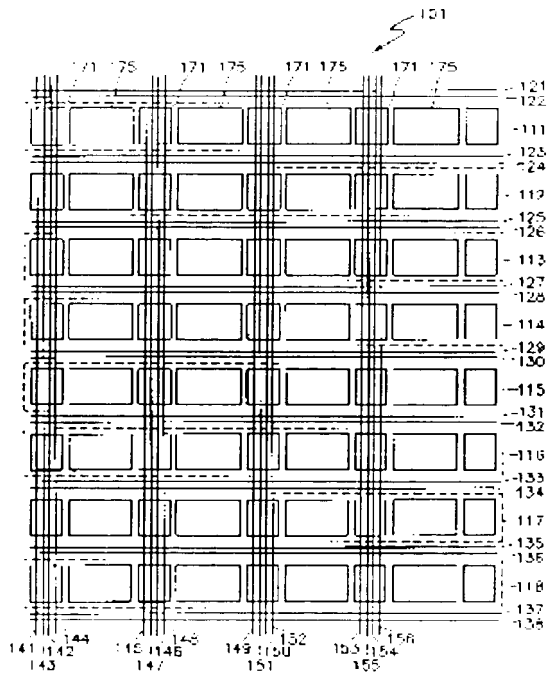


Fig. 2

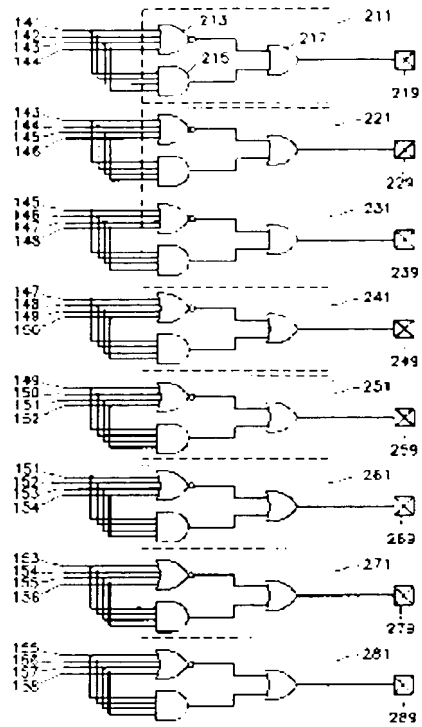
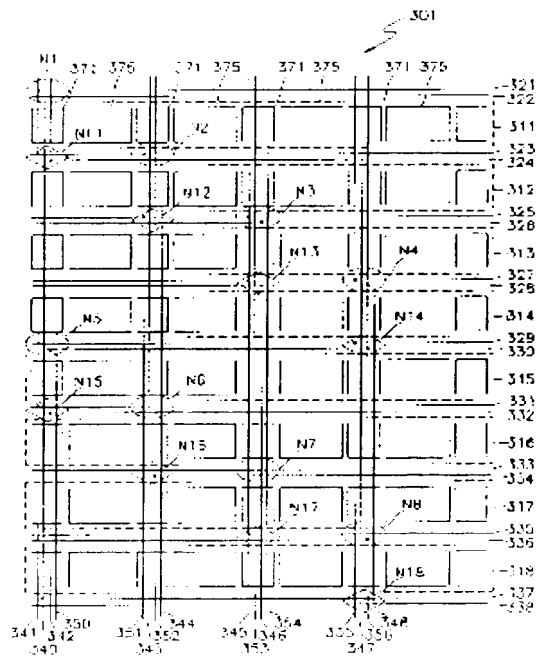
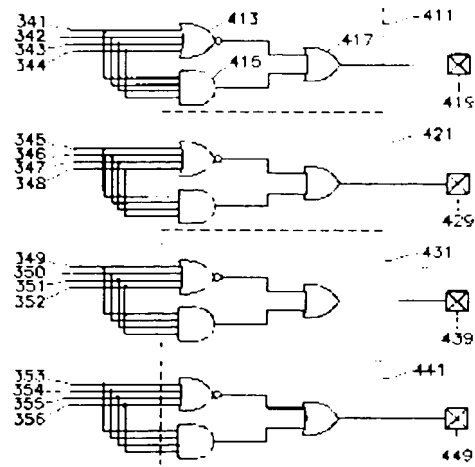


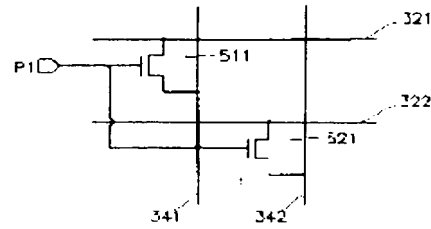
Fig. 3



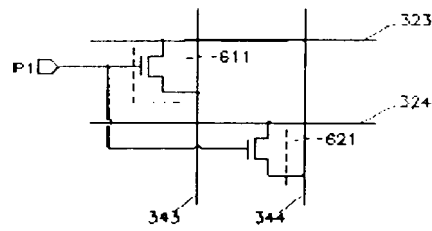
도 24



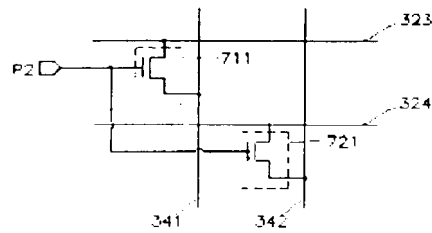
도 25



도 26



도 27



도 28

